

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 H01L 23/12</p>	A1	<p>(11) 国際公開番号 : WO99/50906</p> <p>(43) 国際公開日 1999年10月7日(07.10.99)</p>
<p>(21) 国際出願番号 PCT/JP99/01408</p> <p>(22) 国際出願日 1999年3月19日(19.03.99)</p> <p>(30) 優先権データ  特願平10/100580 1998年3月27日(27.03.98) JP  特願平11/41119 1999年2月19日(19.02.99) JP</p> <p>(71) 出願人  セイコーエプソン株式会社  (SEIKO EPSON CORPORATION)[JP/JP]  〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者  橋元伸晃(HASHIMOTO, Nobuaki)  〒392-8502 長野県諏訪市大和3丁目3番5号  セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人  弁理士 井上 一, 外(INOUE, Hajime et al.)  〒167-0051 東京都杉並区荻窪五丁目26番13号  荻窪TMビル2階 Tokyo, (JP)</p>	<p>(81) 指定国 AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZA, ZW, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), ARIPO特許 (GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM)</p> <p>添付公開書類 国際調査報告書</p> <div style="text-align: right; font-family: cursive; font-size: 1.2em; margin-top: 20px;">the inventor</div>	
<p>(54)Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME, CIRCUIT SUBSTRATE, AND ELECTRONIC DEVICE</p> <p>(54)発明の名称 半導体装置及びその製造方法、回路基板並びに電子機器</p> <p>(57) Abstract</p> <p>A semiconductor device whose external electrodes do not crack, a method for manufacturing the same, circuit substrate, and an electronic device are disclosed. The semiconductor device comprises an insulating film (14) through which through holes (14a) are made, a semiconductor chip (12) having electrodes (13), a wiring pattern (18) attached to an area of one of the sides of the insulating film (14), including the portions over the through holes (14a), with adhesive (17) and electrically connected to the electrodes (13), and external electrodes (16) provided to the wiring pattern (18) through the through holes (14a) and projecting from the side opposite to the side where the wiring pattern (18) is provided, the applied adhesive (17) being partly drawn and interposed between the through holes (14a) and the external electrodes (16).</p>		

(57)要約

外部電極のクラックを防止できる半導体装置及びその製造方法、回路基板並びに電子機器である。半導体装置は、貫通穴（１４ａ）が形成された絶縁フィルム（１４）と、電極（１３）を有する半導体チップ（１２）と、絶縁フィルム（１４）の一方の面における貫通穴（１４ａ）上を含む領域に接着剤（１７）を介して貼り付けられて半導体チップ（１２）の電極（１３）に電氣的に接続される配線パターン（１８）と、貫通穴（１４ａ）を介して、配線パターン（１８）に設けられるとともに配線パターン（１８）とは反対側の面から突出する外部電極（１６）と、を有し、貫通穴（１４ａ）と外部電極（１６）との間に、接着剤（１７）の一部が引き込まれて介在する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア 共和国	TM	トルクメニスタン
CA	カナダ	HR	クロアチア	ML	マリ	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UA	ウクライナ
CH	スイス	IE	アイルランド	MW	マラウイ	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MX	メキシコ	US	米国
CM	カメルーン	IN	インド	NE	ニジェール	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NL	オランダ	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NO	ノルウェー	YU	ユーゴスラビア
CU	キューバ	JP	日本	NZ	ニュージーランド	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	PL	ポーランド	ZW	ジンバブエ
CZ	チェッコ	KG	キルギスタン	PT	ポルトガル		
DE	ドイツ	KP	北朝鮮	RO	ルーマニア		
DK	デンマーク	KR	韓国				

## 明細書

半導体装置及びその製造方法、回路基板並びに電子機器

## 技術分野

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

## 背景技術

近年の電子機器の小型化に伴い、高密度実装に適した半導体装置のパッケージが要求されている。これに応えるために、BGA (Ball Grid Array) やCSP (Chip Scale/Size Package) のような表面実装型パッケージが開発されている。表面実装型パッケージでは、半導体チップに接続される配線パターンの形成された基板が使用されることがある。また、基板には貫通穴が形成され、この貫通穴を介して、配線パターンとは反対側の面から突出するように、外部電極が形成されることがあった。

このような構成のパッケージが適用された半導体装置によれば、回路基板に実装されてから、回路基板と半導体装置との熱膨張率の差により、外部電極に応力が加えられると、この外部電極にクラックが入ることがあった。

本発明は、この問題点を解決するものであり、その目的は、外部電極のクラックを防止できる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

## 発明の開示

(1) 本発明に係る半導体装置は、貫通穴が形成された基板と、  
電極を有する半導体素子と、

前記基板の一方の面側において前記貫通穴上を含む前記一方の面の任意の領域に接着部材を介して貼り付けられるとともに、前記接着部材に貼り付けられた面の反対側の面で前記半導体素子の電極に電氣的に接続される導電部材と、

前記貫通穴を介して前記導電部材と接続されるとともに、前記基板の他方の面

よりも外側まで設けられた外部電極と、

を有し、

前記貫通穴内において、前記貫通穴を形成する内壁面と前記外部電極との間に、前記接着部材の一部が介在する。

本発明によれば、貫通穴内から外部電極が形成され、外部電極と貫通穴との間には、接着部材の一部が介在する。したがって、接着部材が応力緩和部材となるので、回路基板との熱膨張率の差によって生じた応力（熱ストレス）や回路基板に外部から加えられる機械的ストレスを吸収することができる。こうして、外部電極にクラックが生じることを防止することができる。

なお、本発明では、接着部材は、基板と導電部材との間から貫通穴の内壁面に至るまで連続性を保っていてもよいし、非連続的に貫通穴内に存在してもよい。

（２）この半導体装置において、前記貫通穴内において、前記接着部材の一部が引き込まれて介在してもよい。

（３）本発明に係る半導体装置は、貫通穴が形成された基板と、

電極を有する半導体素子と、

前記基板の一方の面側において前記貫通穴上を含む前記一方の面の任意の領域に直接形成されて前記半導体素子の電極に電氣的に接続される導電部材と、

前記貫通穴を介して、前記導電部材と接続されるとともに、前記基板の他方の面よりも外側まで設けられた外部電極と、

を有し、

前記基板は、前記外部電極よりも弾力性の高い材料で形成され、

前記貫通穴の内壁面には、前記基板を構成する前記材料によって凸部が形成される。

本発明によれば、貫通穴の内壁面に凸部が形成されていることで、平坦な内壁面よりも変形しやすくなっており、回路基板との熱膨張率の差によって生じた応力（熱ストレス）や回路基板に外部から加えられる機械的ストレスを吸収することができる。こうして、外部電極にクラックが生じることを防止することができる。

(4) この半導体装置において、

前記外部電極は、前記貫通穴の内側に位置する基端部の径  $d$  と、前記貫通穴から突出する突出部の径  $\phi$  とが、 $\phi \leq d$  の関係を有してもよい。

これによれば、外部電極は、貫通穴によって径が絞られないようになり、くびれが形成されない。したがって、回路基板との熱膨張率の差によって生じた応力（熱ストレス）や回路基板に外部から加えられる機械的ストレスが集中しないので、外部電極にクラックが生じることを防止することができる。

(5) 本発明に係る半導体装置は、貫通穴が形成された基板と、

電極を有する半導体素子と、

前記基板の一方の面側において前記貫通穴上を含む前記一方の面の任意の領域に接着部材を介して貼り付けられるとともに、前記接着部材に貼り付けられた面の反対側の面で前記半導体素子の電極に電氣的に接続される導電部材と、

前記貫通穴を介して前記導電部材と接続されるとともに、前記基板の他方の面よりも外側まで設けられた外部電極と、

を有し、

前記外部電極は、前記貫通穴の内側に位置する基端部の径  $d$  と、前記貫通穴から突出する突出部の径  $\phi$  とが、 $\phi \leq d$  の関係を有する。

本発明によれば、貫通穴内から外部電極が形成される。ここで、外部電極の基端部の径  $d$  と突出部の径  $\phi$  とは、 $\phi \leq d$  の関係を有する。すなわち、外部電極は、貫通穴によって径が絞られないようになり、くびれが形成されない。したがって、回路基板との熱膨張率の差によって生じた応力（熱ストレス）や回路基板に外部から加えられる機械的ストレスが集中しないので、外部電極にクラックが生じることを防止することができる。

(6) 前記基板は、絶縁基板であってもよい。

(7) 前記基板は、プリント基板であってもよい。

(8) 前記外部電極は、ハンダで形成されてもよい。

(9) この半導体装置において、

前記基板の外形は、半導体素子の外形よりも大きくてもよい。

(10) この半導体装置において、

前記半導体素子の前記電極は、導電性粒子が接着剤に分散されてなる異方性導電材料を介して前記導電部材に電氣的に接続されてもよい。

(11) この半導体装置において、

前記半導体素子の前記電極は、ワイヤを介して前記導電部材に電氣的に接続されてもよい。

(12) 本発明に係る回路基板には、上記半導体装置が実装される。

(13) 本発明に係る電子機器は、上記回路基板を有する。

(14) 本発明に係る半導体装置の製造方法は、接着部材が一方の面に設けられた基板を用意する工程と、

前記基板を、前記接着部材が設けられた面側からその反対側面に向かって型抜きを行うことにより、貫通穴を形成するとともに、前記貫通穴内に前記接着部材の一部を引き込む工程と、

前記接着部材を介して、前記基板における前記貫通穴上を含む前記一方の面の任意の領域に導電部材を貼り付ける工程と、

前記貫通穴及び該貫通穴内に引き込まれた前記一部の接着部材の内側を介して、前記導電部材に外部電極の形成材料を設けて、前記導電部材の形成面の反対側の面から突出する外部電極を形成する工程と、

前記導電部材に、半導体素子の電極を電氣的に接続する工程と、

を含む。

本発明によれば、基板の型抜きを行って貫通穴を形成するときに、同時に貫通穴内に接着部材の一部を引き込むことができる。続いて、貫通穴を介して外部電極を形成すると、この外部電極と貫通穴との間に接着部材の一部が介在するようになる。こうして得られた半導体装置によれば、接着部材が応力緩和部材となるので、回路基板との熱膨張率の差によって生じた応力（熱ストレス）や回路基板に外部から加えられる機械的ストレスを吸収して、外部電極にクラックが生じることを防止することができる。

(15) 本発明に係る半導体装置の製造方法は、内壁面に凸部を有する貫通穴

が形成されるとともに、前記貫通穴上を含む領域に導電部材が直接形成され、外部電極よりも弾力性の高い材料からなる基板を用意する工程と、

前記貫通穴を介して、前記導電部材に外部電極の形成材料を設けて、前記導電部材の形成面の反対側の面から突出する外部電極を形成する工程と、

前記導電部材に、半導体素子の電極を電氣的に接続する工程と、  
を含む。

本発明によれば、貫通穴の内壁面に凸部が形成されていることで、平坦な内壁面よりも変形しやすくなっており、回路基板との熱膨張率の差によって生じた応力（熱ストレス）や回路基板に外部から加えられる機械的ストレスを吸収することができる。こうして、外部電極にクラックが生じることを防止することができる。

（１６）この製造方法において、

前記導電部材を形成する前に、前記基板を型抜きする工程を含み、前記型抜きする工程で、前記基板の一部を前記貫通穴に引き込んで前記凸部を形成してもよい。

これによれば、型抜きをする工程で凸部を簡単に形成することができる。

（１７）この製造方法において、

レーザを使用して前記貫通穴を形成してもよい。

レーザを使用すると、凸部が必然的に生じる。

（１８）この製造方法において、

ウェットエッチングによって前記貫通穴を形成してもよい。

ウェットエッチングを適用すると、凸部が必然的に生じる。

（１９）この製造方法において、

前記外部電極は、前記貫通穴の内側に位置する基端部の径  $d$  と、前記貫通穴から突出する突出部の径  $\phi$  とが、 $\phi \leq d$  の関係を有してもよい。

これによれば、外部電極は、貫通穴によって径が絞られないようになり、くびれが形成されない。したがって、回路基板との熱膨張率の差によって生じた応力（熱ストレス）や回路基板に外部から加えられる機械的ストレスが集中しないの

で、外部電極にクラックが生じることを防止することができる。

(20) 本発明に係る半導体装置の製造方法は、貫通穴が形成されるとともに前記貫通穴上を含む領域に導電部材が形成された基板を用意する工程と、

前記貫通穴を介して、前記導電部材に外部電極の形成材料を設けて、前記導電部材とは反対側の面から突出する外部電極を形成する工程と、

前記導電部材に、半導体素子の電極を電氣的に接続する工程と、

を含み、

前記外部電極は、前記貫通穴の内側に位置する基端部の径  $d$  と、前記貫通穴から突出する突出部の径  $\phi$  とが、 $\phi \leq d$  の関係を有する。

本発明によって製造された半導体装置によれば、外部電極の基端部の径  $d$  と突出部の径  $\phi$  とが  $\phi \leq d$  の関係を有する。すなわち、外部電極は、貫通穴によって径が絞られないようになり、くびれが形成されない。したがって、回路基板との熱膨張率の差によって生じた応力（熱ストレス）や回路基板に外部から加えられる機械的ストレスが集中しないので、外部電極にクラックが生じることを防止することができる。

(21) 前記基板は、絶縁フィルム又はプリント基板であってもよい。

(22) 前記外部電極の形成材料は、ハンダであってもよい。

(23) この半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程の後に、前記基板を、半導体素子の外側で打ち抜く工程を含んでもよい。

(24) この製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程で、導電性粒子が接着剤に分散されてなる異方性導電材料を介して、前記電極を前記導電部材に電氣的に接続してもよい。

(25) この製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程で、ワイヤを介して前記導電部材に前記電極を電氣的に接続してもよい。



### 図面の簡単な説明

図1は、第1の実施の形態に係る半導体装置を示す断面図であり、図2A及び図2Bは、第1の実施の形態に係る半導体装置の製造方法を示す図であり、図3は、第1の実施の形態の変形例に係る半導体装置を示す図であり、図4は、第2の実施の形態に係る半導体装置を示す断面図であり、図5は、第3の実施の形態に係る半導体装置を示す図であり、図6は、第4の実施の形態に係る半導体装置を示す図であり、図7は、第5の実施の形態に係る半導体装置を示す断面図であり、図8A及び図8Bは、第5の実施の形態に係る半導体装置の製造方法を示す図であり、図9は、第5の実施の形態に係る半導体装置の製造方法を示す図であり、図10は、第5の実施の形態に係る半導体装置の製造方法を示す図であり、図11は、本実施の形態に係る半導体装置が実装された回路基板を示す図であり、図12は、本実施の形態に係る半導体装置が実装された回路基板を備える電子機器を示す図である。

### 発明を実施するための最良の形態

以下、本発明の好適な実施の形態について図面を参照して説明する。

#### (第1の実施の形態)

図1は、第1の実施の形態に係る半導体装置を示す図である。この半導体装置10は、半導体素子の一例である半導体チップ12及び基板の一例である絶縁フィルム14を含み、CSP型のパッケージが適用されたものである。絶縁フィルム14には、外部電極16が形成されており、半導体チップ12は、複数の電極13を有する。図1において、電極13は、半導体チップ12の対向する二辺にのみ形成されているが、周知のように四辺に形成されてもよい。

絶縁フィルム14はポリイミド樹脂等からなり、複数の貫通穴14aを有する。ポリイミド樹脂からなる基板として、

熱膨張係数：12ppm/°C

弾性率：900kg/mm<sup>2</sup>

程度のものや、

熱膨張係数 : 20 ppm/°C

弾性率 : 302 kg/mm<sup>2</sup>

程度のものを使用することができる。また、絶縁フィルム14の一方の面に、導電部材の一例である配線パターン18が貼り付けられている。詳しくは、配線パターン18は、接着剤17を介して、絶縁フィルム14に貼り付けられている。接着部材の一例である接着剤17として、

熱膨張係数 (50~150°C) : 70~165 ppm/°C

弾性率 (150°C) : 0.1~0.9×10<sup>8</sup> Pa

破断伸び : 13~29%

程度のものを使用することができ、例えば、

熱膨張係数 (50~150°C) : 70 ppm/°C

弾性率 (150°C) : 0.1×10<sup>8</sup> Pa

破断伸び : 21%

程度のものを使用することができる。

接着剤17の一部は、貫通穴14a内に引き込まれている。なお、接着剤17の代わりに、粘着テープ等を使用してもよい。また、配線パターン18は、貫通穴14a上を通るように形成されており、図1に示されないが、貫通穴14a上を含む部分は、他の部分よりも幅の広いランドとなっている。

さらに、絶縁フィルム14には、貫通穴14aを介して、配線パターン18に(図においては下に)外部電極16が形成されている。外部電極16は、貫通穴14a内に位置して配線パターン18と接合される基端部16aと、配線パターン18とは反対側に絶縁フィルム14から突出する突出部16bと、を含む。なお、外部電極16は、ハンダ、銅又はニッケルなどからなる。

本実施の形態では、図1に拡大して示すように、外部電極16の基端部16aと、貫通穴14aとの間に、接着剤17の一部が介在している。この接着剤17の一部によって、外部電極16に加えられた応力(熱ストレスや機械的ストレス)が緩和されるようになっている。ここで、応力は加熱されたときに生じることが多いので、接着剤17は、少なくとも加熱されたときに、応力緩和機能を果

る程度に柔軟性又は弾力性を有することが必要である。

各々の配線パターン 18 には、凸部 18 a が形成されている。各凸部 18 a は、半導体チップ 12 の各電極 13 に対応して形成されている。したがって、電極 13 が、半導体チップ 12 の外周に沿って四辺に並んでいる場合には、凸部 18 a も四辺に並ぶように形成される。電極 13 は、凸部 18 a に電氣的に接続され、配線パターン 18 を介して外部電極 16 と導通するようになっている。また、凸部 18 a が形成されることで、絶縁フィルム 14 と半導体チップ 12 との間、あるいは、配線パターン 18 と半導体チップ 12 との間には広い間隔をあけることができる。

電極 13 と凸部 18 a との電氣的な接続は、異方性導電材料の一例である異方性導電膜 20 によって図られる。異方性導電膜 20 は、樹脂中の金属微粒子などの導電粒子を分散させてシート状にしたものである。電極 13 と凸部 18 a との間で異方性導電膜 20 が押しつぶされると、導電粒子も押しつぶされて、両者間を電氣的に導通させるようになる。また、異方性導電膜 20 を使用すると、導電粒子が押しつぶされる方向にのみ電氣的に導通し、それ以外の方向には導通しない。したがって、複数の電極 13 の上に、シート状の異方性導電膜 20 を貼り付けても、隣り同士の電極 13 間では電氣的に導通しない。

上述の例では、凸部 18 a を配線パターン 18 側に形成したが、半導体チップ 12 の電極 13 上にバンプを形成してもよく、その場合には、配線パターン 18 側に凸部 18 a の形成は不要である。

本実施の形態では、異方性導電膜 20 は、電極 13 と凸部 18 a との間及びその付近にのみ形成されているが、電極 13 と凸部 18 a との間にのみ形成してもよいし、後述する樹脂 22 が注入される領域を含め、半導体チップ 12 の全面に形成されてもよい。

そして、絶縁フィルム 14 と半導体チップ 12 との間に形成される隙間には、ゲル注入穴 24 から樹脂 22 が注入されている。なお、半導体チップ 12 の全面に異方性導電膜 20 を形成する場合には、注入穴 24 が不要であり、かつ、樹脂 22 の注入工程も不要である。

ここで、樹脂 22 として、ヤング率が低く応力緩和の働きを果たせる材質を用いれば、上述した接着剤 17 による応力緩和機能に加えて、さらに応力緩和を図ることができる。例えば、ポリイミド樹脂、シリコーン樹脂、シリコーン変性ポリイミド樹脂、エポキシ樹脂、シリコーン変性エポキシ樹脂、アクリル樹脂等を用いることで、樹脂 22 が応力緩和機能を果たす。

次に、本実施の形態に係る半導体装置 10 の製造方法について、主要な工程を説明する。

まず、一方の面に接着剤 17 が設けられた絶縁フィルム 14 を用意し、絶縁フィルム 14 に貫通穴 14a を形成する。その工程を図 2A 及び図 2B に示す。すなわち、図 2A に示すように、まず、接着剤 17 が設けられた面側に打ち抜き治具 1 及び受け治具 2 を配置する。同図においては、接着剤 17 を有する面を上にして絶縁フィルム 14 が位置し、その上に打ち抜き治具 1 が位置している。なお、絶縁フィルム 14 は、図示しない台の上に載せられている。そして、図 2B に示すように、打ち抜き治具 1 にて絶縁フィルム 14 を貫通させて、貫通穴 14a を形成する。ここで、打ち抜き治具 1 は、受け治具 2 にガイドされて接着剤 17 を引き込みながら絶縁フィルム 14 を貫通する。したがって、接着剤 17 の一部は、貫通穴 14a の内部に引き込まれた状態となる。また、貫通穴 14a 内に引き込まれた接着剤 17 は、打ち抜き治具 1 を引き抜いても元にもどらず、貫通穴 14a 内に残る。なお、接着剤 17 を貫通穴 14a 内に引き込むには、打ち抜き治具 1 と受け治具 2 との間に、10～50  $\mu\text{m}$  程度の隙間（クリアランス）が存在することが好ましい。

また、好ましくは、貫通穴 14a の形成と同時に、絶縁フィルム 14 にゲル注入穴 24 も形成する。

そして、絶縁フィルム 14 に銅箔などの導電箔を貼り付けて、エッチングにより配線パターン 18 を形成する。凸部 18a の形成領域をマスクして、それ以外の部分を薄肉にするようにエッチングし、マスクを除去すれば、凸部 18a を形成することができる。

続いて、絶縁フィルム 14 には、凸部 18a の上から異方性導電膜 20 を貼り

付ける。詳しくは、複数の凸部 18 a が、対向する二辺に沿って並ぶ場合は平行する 2 つの直線状に異方性導電膜 20 を貼り付け、凸部 18 a が四辺に並ぶ場合は、これに対応して矩形を描くように異方性導電膜 20 を貼り付ける。

こうして、上記絶縁フィルム 14 を、凸部 18 a と電極 13 とを対応させて、半導体チップ 12 上に押しつけて、凸部 18 a と電極 13 とで異方性導電膜 20 を押しつぶす。こうして、凸部 18 a と電極 13 との電氣的接続を図ることができる。

次に、ゲル注入穴 24 から、樹脂を注入して、絶縁フィルム 14 と半導体チップ 12 との間に、樹脂 22 を形成する。

そして、貫通穴 14 a を介して配線パターン 18 上にハンダを設け、ボール状の外部電極 16 を形成する。具体的には、例えば、ハンダペーストを用いたハンダ印刷や、ハンダボールを配線パターン 18 上に載せることによって、外部電極 16 を形成する。

これらの工程によって、半導体装置 10 を得ることができる。なお、本実施の形態では、異方性導電膜 20 を用いたが、その代わりに異方性導電接着剤を用いても良い。異方性導電接着剤は、シート状をなしていない点を除き異方性導電膜 20 と同様の構成のものである。

本実施の形態によれば、絶縁フィルム 14 に形成された貫通穴 14 a と外部電極 16 との間に、接着剤 17 が介在するので、外部電極 16 に加えられた応力（熱ストレスや機械的ストレス）を吸収することができる。このような構成を得るには、上述したように、絶縁フィルム 14 に予め接着剤 17 を設けておき、この接着剤 17 の側から、貫通穴 14 a の打ち抜き工程を行えばよい。こうすることで、貫通穴 14 a の打ち抜き工程と同時に、接着剤 17 の一部を貫通穴 14 a 内に引き込むことができる。

次に、図 3 は、本実施の形態の変形例を示す図である。この変形例では、絶縁フィルム 14 の貫通穴 14 a 内に接着剤 17 が入り込んでおらず、外部電極 26 の形状に特徴を有する。接着剤 17 が貫通穴 14 a 内に入り込んでいなくてもよいので、接着剤 17 を有しないプリント基板を、絶縁フィルム 14 の代わりに用

いることもできる。

すなわち、外部電極 26 の基端部 26 a の径  $d$  と、突出部 26 b の径  $\phi$  とが、

$$\phi \leq d$$

の関係を有する。言い換えると、貫通穴 14 a の開口端部に位置する基端部 26 a が、貫通穴 14 a の外側で絶縁フィルム 14 から突出する突出部 26 b とほぼ等しいか、あるいは、基端部 26 a が突出部 26 b よりも大きくなっている。特に、両者がほぼ等しいことが好ましい。こうすることで、突出部 26 b から基端部 26 a にかけて、絞られた形状が形成されないようになっている。

この構成によれば、外部電極 26 に絞られる形状がないので、外部電極 26 に加えられる応力が集中しない。そして、応力を分散させてクラックを防止することができる。なお、貫通穴 14 a 内に接着剤 17 が入り込んでいる構造をとれば、さらに応力緩和性能は向上する。

また、その製造方法は、上述した実施の形態と同様である。ただし、貫通穴 14 a 内に接着剤 17 を入り込ませる工程が必ずしも必要ではないため、貫通穴 14 a を打ち抜く方向が限定されない。また、配線パターン 18 を絶縁フィルム 14 上にスパッタリングによって形成するなど、この変形例では、接着剤 17 を省略してもよい。ただし、この変形例では、貫通穴 14 a と外部電極 26 との間に、接着剤 17 が介在することを妨げるものではない。

#### (第2の実施の形態)

図4は、第2の実施の形態に係る半導体装置を示す図である。この半導体装置 110 は、半導体素子 112 と、基板の一例である絶縁フィルム 14 (第1の実施の形態と同じ構成) と、複数の外部電極 16 (第1の実施の形態と同じ構成) とを含む。半導体素子 112 の複数の電極 (図示せず) にはバンプ 113 が設けられている。バンプ 113 は、金ボールバンプ、金メッキバンプであることが多いが、ハンダボールであってもよい。絶縁フィルム 14 は、半導体素子 112 よりも大きい形状をなしている。

絶縁フィルム 14 の一方の面に、導電部材 118 が貼り付けられている。導電部材 118 は、図1に示す配線パターン 18 から凸部 18 a を省略した構成をな

し、接着剤 17 によって絶縁フィルム 14 に貼り付けられている。

バンパ 113 と導電部材 118 との電気的な接続は、絶縁フィルム 14 における導電部材 118 が形成された面の全体に設けられた異方性導電材料 120 によって図られる。異方性導電材料 120 自体は、図 1 に示す異方性導電膜 20 と同じものを使用することができる。こうすることで、半導体素子 112 と絶縁フィルム 14 との間に異方性導電材料 120 が介在して、半導体素子 112 における電極が形成された面と、絶縁フィルム 14 における導電部材 118 が形成された面と、が覆われて保護される。その他の構成は、第 1 の実施の形態と同じである。

本実施の形態に係る半導体装置 110 の製造方法については、異方性導電材料 120 を絶縁フィルム 14 の全面に設ける点を除き、第 1 の実施の形態で説明した方法を適用することができる。半導体装置 110 を製造するときには、基板に半導体素子 112 を搭載してから、この基板を絶縁フィルム 14 の形状で打ち抜いてもよい。また、本実施の形態でも、外部電極 16 の形状について図 3 に示す形態を適用することができる。

#### (第 3 の実施の形態)

図 5 は、本発明の第 3 の実施の形態に係る半導体装置を示す図である。同図に示す半導体装置 30 では、配線パターン 38 と半導体チップ 32 の電極 33 とが、ワイヤ 40 によって接続されている。配線パターン 38 は、接着剤 37 を介して基板 34 に貼り付けられることで形成されている。基板 34 は、第 1 の実施の形態と同様に絶縁フィルムの場合や、もしくは、プリント基板の場合がある。

また、基板 34 の配線パターン 38 の形成面には、応力緩和層 42 が設けられている。応力緩和層 42 は、第 1 の実施の形態の樹脂 22 として選択可能な材料から形成されている。この応力緩和層 42 に接着剤 46 を介して、半導体チップ 32 の電極 33 を有する面とは反対側の面が接着されている。

基板 34 には、貫通穴 34a が形成されている。この貫通穴 34a を介して、配線パターン 38 に外部電極 36 が形成されている。詳しくは、基板 34 における配線パターン 38 とは反対側の面に突出するように、配線パターン 38 上に外部電極 36 が形成されている。そして、半導体チップ 32 の外周及び基板 34 の

部電極 36 が形成されている。そして、半導体チップ 32 の外周及び基板 34 の配線パターン 38 を有する面が、樹脂 44 にて封止されている。

外部電極 36 は、図 1 に示す構成、もしくは図 3 に示す外部電極 26 と同様の構成をなし、同様の効果を達成できるようになっている。あるいは、図 1 に示す実施の形態と同様に、貫通穴 34a と外部電極 36 との間に接着剤 37 が介在するように構成してもよい。

本実施の形態は、第 1 の実施の形態と比べて、半導体チップ 32 の電極 33 と配線パターン 38 との接続にワイヤ 40 を使用した点と、半導体チップ 32 等が樹脂 44 によって封止されている点で相違するが、応力緩和に関する機能は第 1 の実施の形態と同様である。

#### (第 4 の実施の形態)

図 6 は、本発明の第 4 の実施の形態に係る半導体装置を示す図である。同図に示す半導体装置 130 は、貫通穴 34a と外部電極 136 との間に接着剤 37 が介在する点で図 5 に示す半導体装置 30 と異なる。

#### (第 5 の実施の形態)

図 7 は、本発明の第 5 の実施の形態に係る半導体装置を示す図である。同図に示す半導体装置 210 は、導電部材 118 が、接着部材なしで基板 214 に直接形成されている点で、図 4 に示す半導体装置 110 と異なる。図 7 において、図 4 に示す半導体装置 110 と同じ構成には同じ符号を付してある。なお、本実施の形態では、半導体素子 112 がフェースダウン実装されているが、図 6 に示すフェースアップ実装を適用してもよい。

基板 214 は、外部電極 16 よりも弾力性の高い材料で形成されている。また、基板 214 の貫通穴 214a の内壁面には、凸部 220 が形成されている。凸部 220 の形成方法を図 8A 及び図 8B に示す。

基板 214 は、接着剤が設けられていない点で図 2 に示す絶縁フィルム 14 と異なる。図 8A に示すように受け治具 2 に載せられた基板 214 を、打ち抜き治具 1 によって、図 8B に示すように打ち抜いて貫通穴 214a を形成する。こうすることで、基板 214 を構成する材料が貫通穴 214a の内部に突出して凸部



220が形成される。例えば、基板214の一方の面において貫通穴214aの端部を形成する部分の一部が、貫通穴214a内に引き込まれて凸部220が形成されてもよいし、基板214の厚みの中間部分において、貫通穴214aの内壁面に凸部220が形成されてもよい。また、凸部220は、貫通穴214aの周端部の全体が貫通穴214aの内側に突出してリング状をなしてもよいし、貫通穴214aの周端部の一部のみが貫通穴214aの内側に突出して構成されてもよい。凸部220が形成されていることで、図4に示すように、接着剤17が貫通穴214a内に介在する構成と同じ効果を達成することができる。すなわち、貫通穴214aの内壁面が平坦な場合よりも、凸部220が変形しやすいので、外部電極16に加えられる応力を緩和することができる。

こうして、貫通穴214aが形成されてから、基板214に導電部材118を形成して2層基板を構成する。例えば、基板214が熱可塑性である場合にはこれを加熱して軟化させ、導電箔を密着させることで接着剤なしで貼り付け、これをエッチングして導電部材218を形成することができる。あるいは、スパッタリングを適用してもよい。

あるいは、図9に示すように、導電部材310が形成された基板300に、レーザ320を使用して貫通穴330を形成してもよい。この場合にも、貫通穴330には、凸部332が形成される。レーザ320として、CO<sub>2</sub>レーザを使用すれば凸部332が形成されやすいが、エキシマレーザを使用してもよい。

または、図10に示すように、導電部材410が形成された基板400に、貫通穴に対応した開口422を有するレジスト420を形成し、ウエットエッチングを施すことで、貫通穴430を形成してもよい。この場合にも、貫通穴430の内壁面には、凹凸があるので、凸部432が形成される。

なお、上述した実施の形態は、CSP型のパッケージを適用した半導体装置であるが、本発明は、多ピン化を図るために半導体チップよりも広い基板が使用されるBGA型のパッケージに適用することもできる。

図11には、上述した実施の形態に係る方法によって製造された半導体装置1100を実装した回路基板1000が示されている。回路基板1000には例え

ばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1000 には、例えば銅からなる配線パターンが所望の回路となるように形成されるとともに、この回路基板 1000 にハンダボールが設けられている。そして、配線パターンのハンダボールと半導体装置 1100 の外部電極とを機械的に接続することでそれらの電氣的導通が図られる。

この場合、半導体装置 1100 には外部との熱膨張差や機械的ストレスにより生じる歪みを吸収する構造が設けられているため、本半導体装置 1100 を回路基板 1000 に実装しても接続時及びそれ以降の信頼性を向上できる。

なお、実装面積もベアチップにて実装した面積にまで小さくすることができる。このため、この回路基板 1000 を電子機器に用いれば電子機器自体の小型化が図れる。また、同一面積内においてはより実装スペースを確保することができ、高機能化を図ることも可能である。

そして、この回路基板 1000 を備える電子機器として、図 12 には、ノート型パーソナルコンピュータ 1200 が示されている。

なお、能動部品か受動部品かを問わず、種々の面実装用の電子部品に本発明を応用することもできる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

## 請求の範囲

## 1. 貫通穴が形成された基板と、

電極を有する半導体素子と、

前記基板の一方の面側において前記貫通穴上を含む前記一方の面の任意の領域に接着部材を介して貼り付けられるとともに、前記接着部材に貼り付けられた面の反対側の面で前記半導体素子の電極に電氣的に接続される導電部材と、

前記貫通穴を介して前記導電部材と接続されるとともに、前記基板の他方の面よりも外側まで設けられた外部電極と、

を有し、

前記貫通穴内において、前記貫通穴を形成する内壁面と前記外部電極との間に、前記接着部材の一部が介在する半導体装置。

## 2. 請求項 1 記載の半導体装置において、

前記貫通穴内において、前記接着部材の一部が引き込まれて介在する半導体装置。

## 3. 貫通穴が形成された基板と、

電極を有する半導体素子と、

前記基板の一方の面側において前記貫通穴上を含む前記一方の面の任意の領域に直接形成されて前記半導体素子の電極に電氣的に接続される導電部材と、

前記貫通穴を介して、前記導電部材と接続されるとともに、前記基板の他方の面よりも外側まで設けられた外部電極と、

を有し、

前記基板は、前記外部電極よりも弾力性の高い材料で形成され、

前記貫通穴の内壁面には、前記基板を構成する前記材料によって凸部が形成される半導体装置。

## 4. 請求項 1 記載の半導体装置において、

前記外部電極は、前記貫通穴の内側に位置する基端部の径  $d$  と、前記貫通穴から突出する突出部の径  $\phi$  とが、 $\phi \leq d$  の関係を有する半導体装置。

5. 請求項 3 記載の半導体装置において、

前記外部電極は、前記貫通穴の内側に位置する基端部の径  $d$  と、前記貫通穴から突出する突出部の径  $\phi$  とが、 $\phi \leq d$  の関係を有する半導体装置。

6. 貫通穴が形成された基板と、

電極を有する半導体素子と、

前記基板の一方の面側において前記貫通穴上を含む前記一方の面の任意の領域に接着部材を介して貼り付けられるとともに、前記接着部材に貼り付けられた面の反対側の面で前記半導体素子の電極に電氣的に接続される導電部材と、

前記貫通穴を介して前記導電部材と接続されるとともに、前記基板の他方の面よりも外側まで設けられた外部電極と、

を有し、

前記外部電極は、前記貫通穴の内側に位置する基端部の径  $d$  と、前記貫通穴から突出する突出部の径  $\phi$  とが、 $\phi \leq d$  の関係を有する半導体装置。

7. 請求項 1 記載の半導体装置において、

前記基板は、絶縁基板である半導体装置。

8. 請求項 3 記載の半導体装置において、

前記基板は、絶縁基板である半導体装置。

9. 請求項 6 記載の半導体装置において、

前記基板は、絶縁基板である半導体装置。

10. 請求項 1 記載の半導体装置において、

前記基板は、プリント基板である半導体装置。

11. 請求項 3 記載の半導体装置において、

前記基板は、プリント基板である半導体装置。

12. 請求項 6 記載の半導体装置において、

前記基板は、プリント基板である半導体装置。

13. 請求項 1 記載の半導体装置において、

前記外部電極は、ハンダで形成される半導体装置。

14. 請求項 3 記載の半導体装置において、

前記外部電極は、ハンダで形成される半導体装置。

15. 請求項6記載の半導体装置において、

前記外部電極は、ハンダで形成される半導体装置。

16. 請求項1記載の半導体装置において、

前記基板の外形は、半導体素子の外形よりも大きい半導体装置。

17. 請求項3記載の半導体装置において、

前記基板の外形は、半導体素子の外形よりも大きい半導体装置。

18. 請求項6記載の半導体装置において、

前記基板の外形は、半導体素子の外形よりも大きい半導体装置。

19. 請求項1記載の半導体装置において、

前記半導体素子の前記電極は、導電性粒子が接着剤に分散されてなる異方性導電材料を介して前記導電部材に電氣的に接続される半導体装置。

20. 請求項3記載の半導体装置において、

前記半導体素子の前記電極は、導電性粒子が接着剤に分散されてなる異方性導電材料を介して前記導電部材に電氣的に接続される半導体装置。

21. 請求項6記載の半導体装置において、

前記半導体素子の前記電極は、導電性粒子が接着剤に分散されてなる異方性導電材料を介して前記導電部材に電氣的に接続される半導体装置。

22. 請求項1記載の半導体装置において、

前記半導体素子の前記電極は、ワイヤを介して前記導電部材に電氣的に接続される半導体装置。

23. 請求項3記載の半導体装置において、

前記半導体素子の前記電極は、ワイヤを介して前記導電部材に電氣的に接続される半導体装置。

24. 請求項6記載の半導体装置において、

前記半導体素子の前記電極は、ワイヤを介して前記導電部材に電氣的に接続される半導体装置。

25. 請求項1、2、4、7、10、13、16、19、22のいずれかに記載

の半導体装置が実装された回路基板。

26. 請求項3、5、8、11、14、17、20、23のいずれかに記載の半導体装置が実装された回路基板。

27. 請求項6、9、12、15、18、21、24のいずれかに記載の半導体装置が実装された回路基板。

28. 請求項25記載の回路基板を有する電子機器。

29. 請求項26記載の回路基板を有する電子機器。

30. 請求項27記載の回路基板を有する電子機器。

31. 接着部材が一方の面に設けられた基板を用意する工程と、

前記基板を、前記接着部材が設けられた面側からその反対側面に向かって型抜きを行うことにより、貫通穴を形成するとともに、前記貫通穴内に前記接着部材の一部を引き込む工程と、

前記接着部材を介して、前記基板における前記貫通穴上を含む前記一方の面の任意の領域に導電部材を貼り付ける工程と、

前記貫通穴及び該貫通穴内に引き込まれた前記一部の接着部材の内側を介して、前記導電部材に外部電極の形成材料を設けて、前記導電部材の形成面の反対側の面から突出する外部電極を形成する工程と、

前記導電部材に、半導体素子の電極を電氣的に接続する工程と、

を含む半導体装置の製造方法。

32. 内壁面に凸部を有する貫通穴が形成されるとともに、前記貫通穴上を含む領域に導電部材が直接形成され、外部電極よりも弾力性の高い材料からなる基板を用意する工程と、

前記貫通穴を介して、前記導電部材に外部電極の形成材料を設けて、前記導電部材の形成面の反対側の面から突出する外部電極を形成する工程と、

前記導電部材に、半導体素子の電極を電氣的に接続する工程と、

を含む半導体装置の製造方法。

33. 請求項32記載の半導体装置の製造方法において、

前記導電部材を形成する前に、前記基板を型抜きする工程を含み、前記型抜き

する工程で、前記基板の一部を前記貫通穴に引き込んで前記凸部を形成する半導体装置の製造方法。

34. 請求項32記載の半導体装置の製造方法において、

レーザを使用して前記貫通穴を形成する半導体装置の製造方法。

35. 請求項32記載の半導体装置の製造方法において、

ウェットエッチングによって前記貫通穴を形成する半導体装置の製造方法。

36. 請求項31記載の半導体装置の製造方法において、

前記外部電極は、前記貫通穴の内側に位置する基端部の径 $d$ と、前記貫通穴から突出する突出部の径 $\phi$ とが、 $\phi \leq d$ の関係を有する半導体装置の製造方法。

37. 請求項32記載の半導体装置の製造方法において、

前記外部電極は、前記貫通穴の内側に位置する基端部の径 $d$ と、前記貫通穴から突出する突出部の径 $\phi$ とが、 $\phi \leq d$ の関係を有する半導体装置の製造方法。

38. 貫通穴が形成されるとともに前記貫通穴上を含む領域に導電部材が形成された基板を用意する工程と、

前記貫通穴を介して、前記導電部材に外部電極の形成材料を設けて、前記導電部材とは反対側の面から突出する外部電極を形成する工程と、

前記導電部材に、半導体素子の電極を電氣的に接続する工程と、

を含み、

前記外部電極は、前記貫通穴の内側に位置する基端部の径 $d$ と、前記貫通穴から突出する突出部の径 $\phi$ とが、 $\phi \leq d$ の関係を有する半導体装置の製造方法。

39. 請求項31記載の半導体装置の製造方法において、

前記基板は、絶縁フィルム又はプリント基板である半導体装置の製造方法。

40. 請求項32記載の半導体装置の製造方法において、

前記基板は、絶縁フィルム又はプリント基板である半導体装置の製造方法。

41. 請求項31記載の半導体装置の製造方法において、

前記外部電極の形成材料は、ハンダである半導体装置の製造方法。

42. 請求項32記載の半導体装置の製造方法において、

前記外部電極の形成材料は、ハンダである半導体装置の製造方法。

43. 請求項38記載の半導体装置の製造方法において、

前記外部電極の形成材料は、ハンダである半導体装置の製造方法。

44. 請求項31記載の半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程の後に、前記基板を、半導体素子の外側で打ち抜く工程を含む半導体装置の製造方法。

45. 請求項32記載の半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程の後に、前記基板を、半導体素子の外側で打ち抜く工程を含む半導体装置の製造方法。

46. 請求項38記載の半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程の後に、前記基板を、半導体素子の外側で打ち抜く工程を含む半導体装置の製造方法。

47. 請求項31記載の半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程で、導電性粒子が接着剤に分散されてなる異方性導電材料を介して、前記電極を前記導電部材に電氣的に接続する半導体装置の製造方法。

48. 請求項32記載の半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程で、導電性粒子が接着剤に分散されてなる異方性導電材料を介して、前記電極を前記導電部材に電氣的に接続する半導体装置の製造方法。

49. 請求項38記載の半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程で、導電性粒子が接着剤に分散されてなる異方性導電材料を介して、前記電極を前記導電部材に電氣的に接続する半導体装置の製造方法。

50. 請求項31記載の半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程で、ワイヤを介して前記導電部材に前記電極を電氣的に接続する半導体装置の製造方法。

51. 請求項32記載の半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程で、ワイヤ



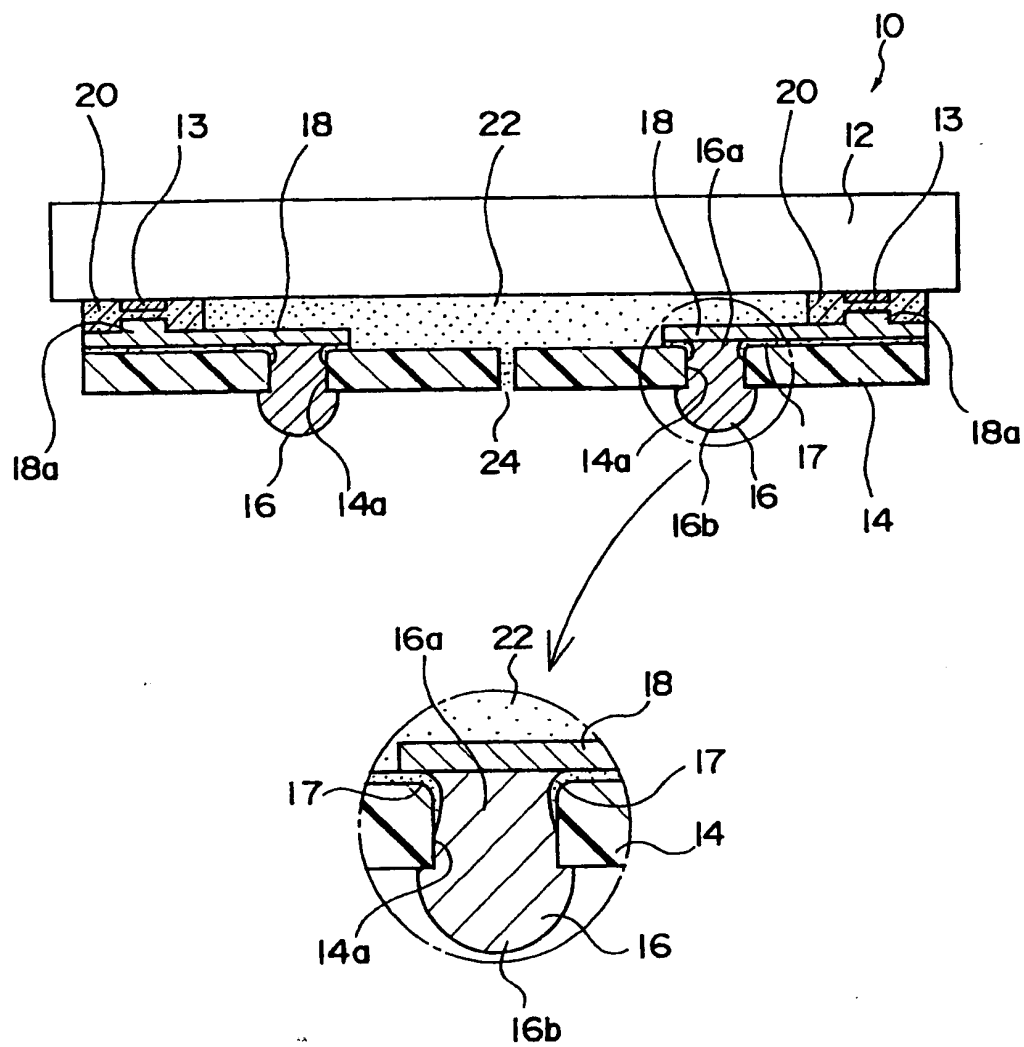
を介して前記導電部材に前記電極を電氣的に接続する半導体装置の製造方法。

52. 請求項38記載の半導体装置の製造方法において、

前記導電部材に前記半導体素子の前記電極を電氣的に接続する工程で、ワイヤを介して前記導電部材に前記電極を電氣的に接続する半導体装置の製造方法。

1/11

FIG. 1



2/11

FIG. 2A

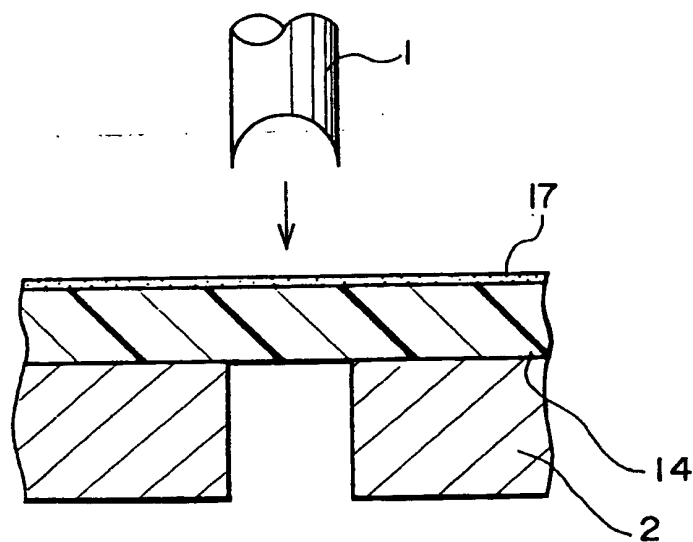
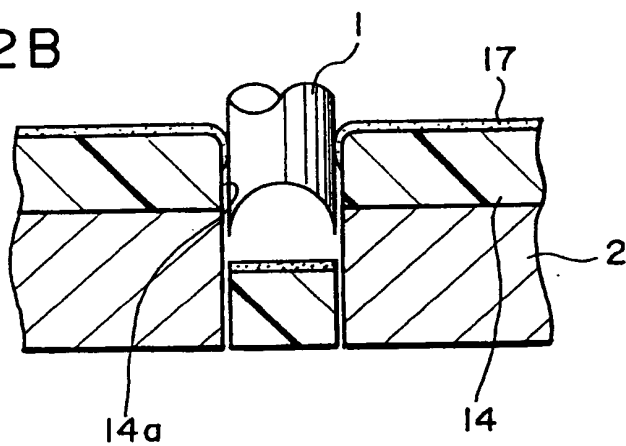
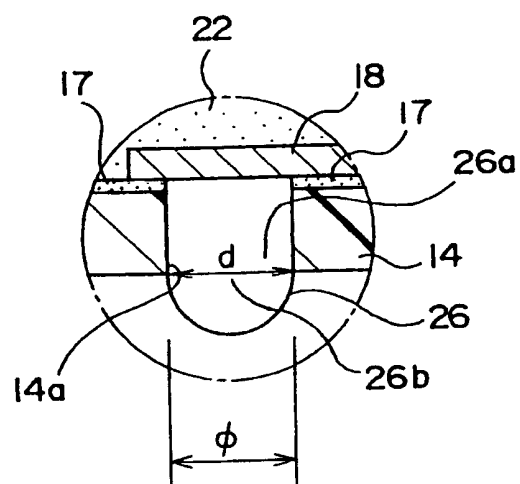


FIG. 2B



3/11

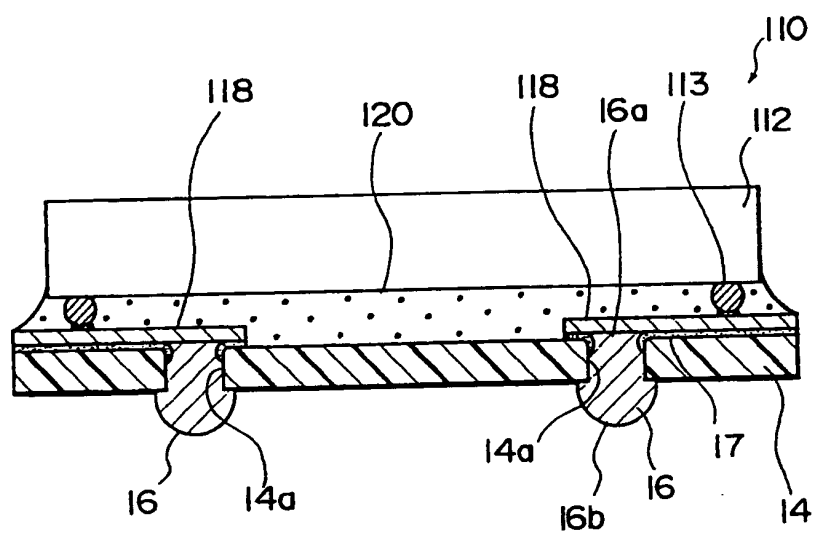
FIG. 3



$$\phi \leq d$$

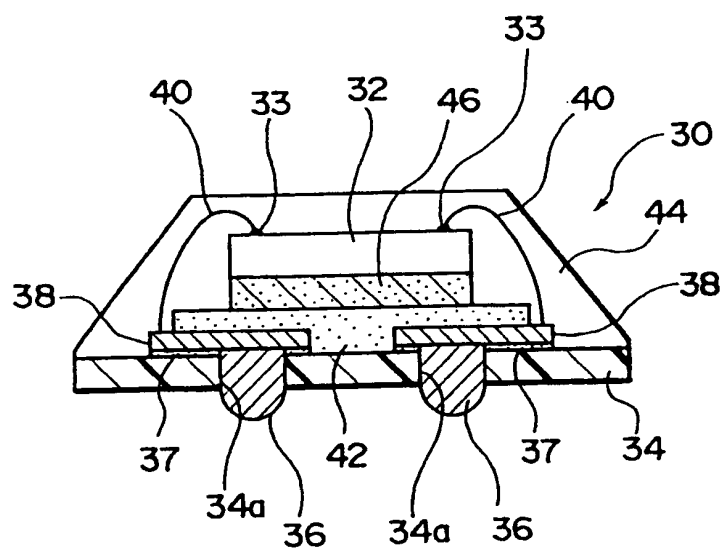
4/11

FIG. 4



5 / 11

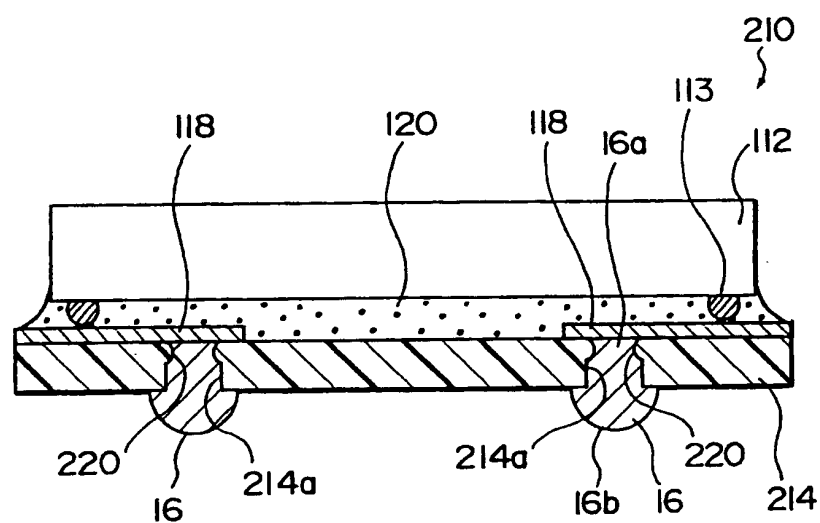
FIG. 5





7/11

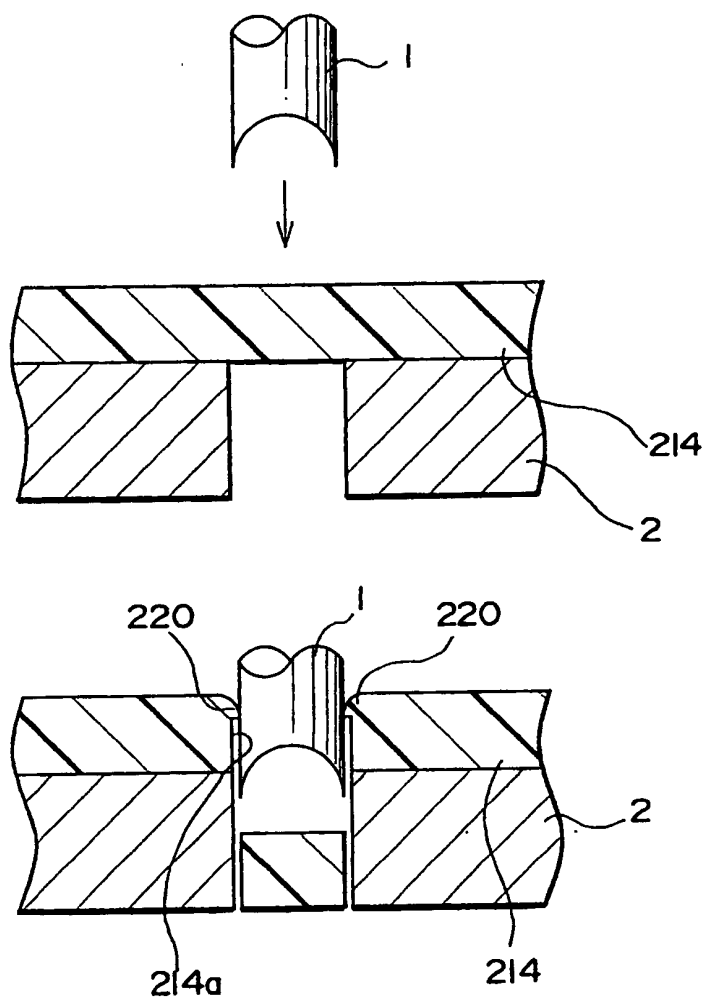
FIG. 7





8/11

FIG. 8



9/11

FIG. 9

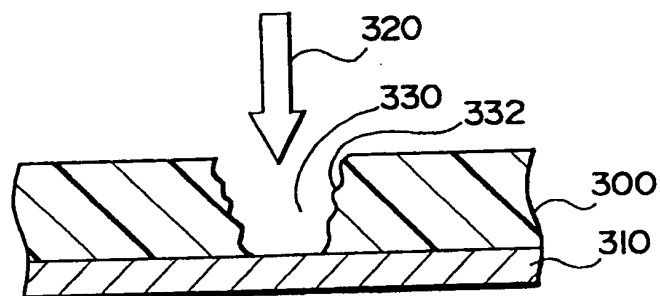
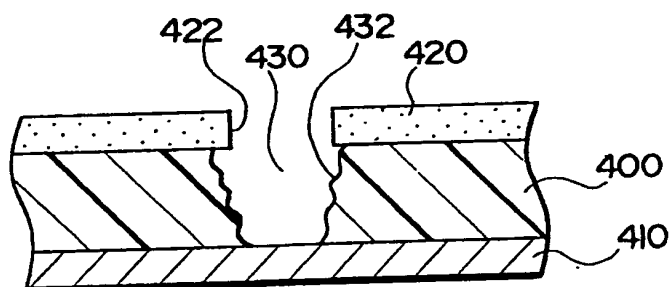
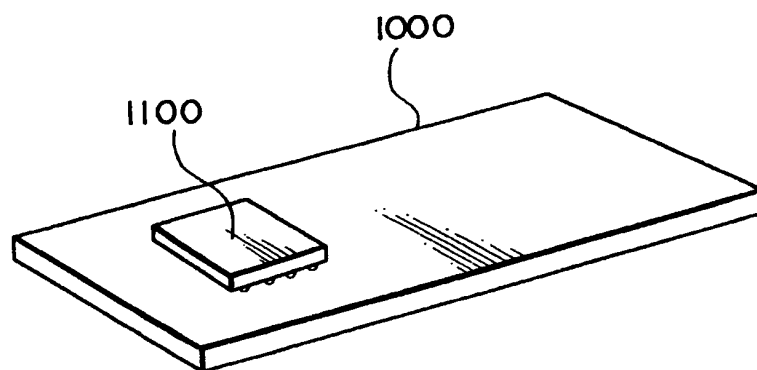


FIG. 10



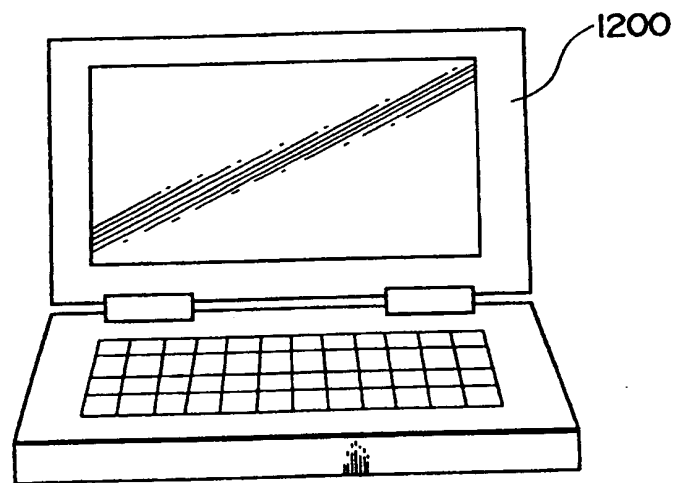
10/11

FIG. 11



II/II

FIG. 12



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP99/01408

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>6</sup> H01L23/12		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>6</sup> H01L23/12		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 9-199632, A (Ibiden Co., Ltd.), 31 July, 1997 (31. 07. 97), Claims ; Fig. 1 (Family: none)	6, 9, 12, 15, 18, 21, 24, 27, 30, 38, 43, 46, 49, 52
Y	JP, 9-266231, A (NEC Corp.), 7 October, 1997 (07. 10. 97), Claims ; Fig. 3 (Family: none)	6, 9, 12, 15, 18, 21, 24, 27, 30, 38, 43, 46, 49, 52
Y	JP, 9-51018, A (Mitsubishi Electric Corp.), 18 February, 1997 (18. 02. 97), Claims (Family: none)	21, 49
A	JP, 9-298252, A (Shinko Electric Industries Co., Ltd.), 18 November, 1997 (18. 11. 97)	1-5, 7, 8, 10, 11, 13, 14, 16, 17, 19, 20, 22, 23, 25, 26, 28, 29, 31-37, 39-42, 44, 45, 47, 48, 50, 51
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 1 June, 1999 (01. 06. 99)	Date of mailing of the international search report 8 June, 1999 (08. 06. 99)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>8</sup> H01L23/12

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>8</sup> H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-1999年  
 日本国登録実用新案公報 1994-1999年  
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 9-199632, A (イビデン株式会社) 31. 7月. 1997 (31. 07. 97) 特許請求の範囲及び図1 (ファミリーなし)	6, 9, 12, 15, 18, 21, 24, 27, 30, 38, 43, 46, 49, 52
Y	J P, 9-266231, A (日本電気株式会社) 7. 10月. 1997 (07. 10. 97) 特許請求の範囲及び図3 (ファミリーなし)	6, 9, 12, 15, 18, 21, 24, 27, 30, 38, 43, 46, 49, 52

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

01. 06. 99

国際調査報告の発送日

0 8.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4 R

9539

電話番号 03-3581-1101 内線 3469

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 9-51018, A (三菱電機株式会社) 18. 2月. 1997 (18. 02. 97) 特許請求の範囲 (ファミリーなし)	21, 49
A	JP, 9-298252, A (新光電気工業株式会社) 18. 11月. 1997 (18. 11. 97)	1-5, 7, 8, 10, 11, 13, 14, 16, 17, 19, 20, 22, 23, 25, 26, 28, 29, 31-37, 39-42, 44, 45, 47, 48, 50, 51